

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-056664

(43)Date of publication of application : 27.02.2001

(51)Int.Cl.

G09G 3/20

G09G 3/36

(21)Application number : 11-233128

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.08.1999

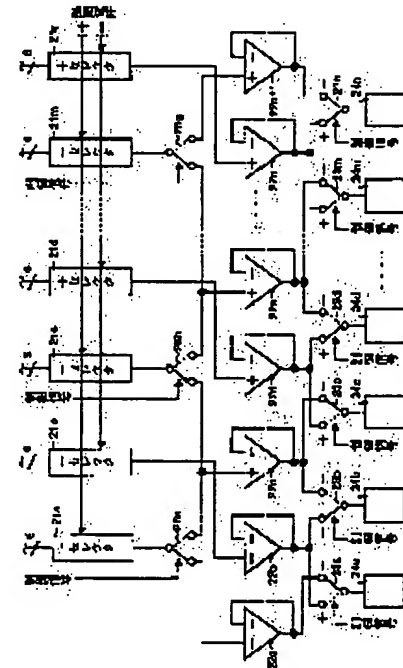
(72)Inventor : UTO SHINYA
KUDO OSAMU

(54) LCD PANEL DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain high quality display free from luminance irregularity and vertical streaks while not increasing the circuit size.

SOLUTION: Output voltages of first and second buffer amplifiers 22a and 22b are supplied to a first output pad 24a. Output voltages of the second and third buffer amplifiers 22b and 22c are supplied to a second output pad 24b and output voltages of the third and fourth buffer amplifiers 22c and 22d are supplied to a third output pad 24c. Then, data line switching switches 25a to 25g and output polarity switching switches 23a to 23n are switched so that output voltages supplied to arbitrary adjacent output pads are always supplied from arbitrary adjacent buffer amplifiers. Thus, the generation of separation in the driving voltages to display same gradation between arbitrary adjacent data lines is prevented and luminance irregularity and vertical streaks is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-56664

(P2001-56664A)

(43)公開日 平成13年2月27日(2001.2.27)

(51)Int.Cl.⁷

G 0 9 G 3/20
3/36

識別記号

6 4 1

F I

G 0 9 G 3/20
3/36

テームト*(参考)

6 4 1 Z 5 C 0 0 6
5 C 0 8 0

審査請求 未請求 請求項の数6 OL (全 9 頁)

(21)出願番号

特願平11-233128

(22)出願日

平成11年8月19日(1999.8.19)

(71)出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者

嶋戸 真也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者

工藤 修

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人

100104190

弁理士 酒井 昭徳

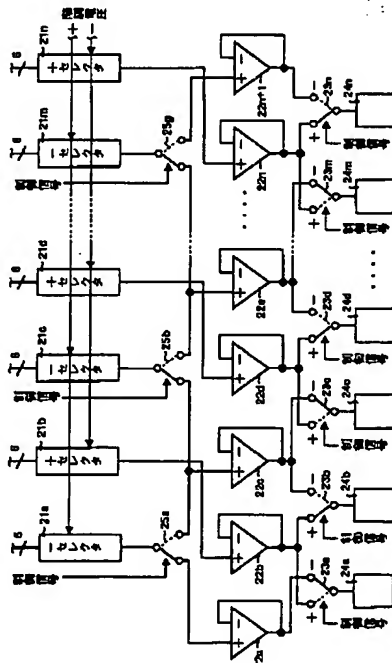
最終頁に続く

(54)【発明の名称】 LCDパネル駆動回路

(57)【要約】

【課題】 LCDパネル駆動回路において、回路規模を増大させることなく、輝度ムラや縦スジのない高品質の表示をする。

【解決手段】 第1番目の出力パッド24aに第1および第2番目のバッファ・アンプ22a、22bの出力電圧を、第2番目の出力パッド24bに第2および第3番目のバッファ・アンプ22b、22cの出力電圧を、第3番目の出力パッド24cに第3および第4番目のバッファ・アンプ22c、22dの出力電圧を供給することで、任意の隣接する出力パッドに供給される出力電圧が、常に、任意の隣接するバッファ・アンプから供給されるように、データライン切替えスイッチ25a~25gおよび出力極性切替えスイッチ23a~23nを切り替える。それによって、任意の隣接するデータライン間の同一の階調表示をするための駆動電圧の隔たり発生を抑え、輝度ムラや縦スジを防ぐ。



本図例に示されるLCDパネル駆動回路のブロック図およびバッファ・アンプよりなる回路ブロックの接続を示す図例

【特許請求の範囲】

【請求項1】 一列に配置された複数のバッファ・アンプから一列に配置された複数の出力端子に階調電圧を供給するLCDパネル駆動回路において、

前記複数の出力端子のうちの任意の隣接する2個の出力端子にそれぞれ供給される階調電圧が、常に、前記複数のバッファ・アンプのうちの任意の隣接する2個のバッファ・アンプからそれぞれ出力されるものであることを特徴とするLCDパネル駆動回路。

【請求項2】 自然数 j に対して、 $2j$ 個のセクタの出力を $2j$ 本のデータラインに供給するLCDパネル駆動回路であって、

第1の極性出力用データに基づいて階調電圧を選択する j 個の第1の極性用のセクタと、

第2の極性出力用データに基づいて階調電圧を選択する j 個の第2の極性用のセクタと、

前記第1の極性用のセクタにそれぞれ接続された j 個の第1の極性用のバッファ・アンプと、

特定の1個の前記第2の極性用のセクタに接続され得る1個の第2の極性用のバッファ・アンプと、

前記第2の極性用のセクタのそれぞれに2個ずつ対応付けられ、かつ2個の前記第2の極性用のセクタにより共有され得る j 個の第2の極性用のバッファ・アンプと、

同一のタイミングで、前記第2の極性用のセクタの接続先を、対応付けられた一対の前記第2の極性用のバッファ・アンプの間で切り替える j 個のデータライン切替えスイッチと、

前記データライン切替えスイッチと同一のタイミングで、前記第1の極性用のバッファ・アンプの出力先を隣接する一対のデータラインの間で切り替えるとともに、前記一対の第2の極性用のバッファ・アンプのうち、一方の第2の極性用のバッファ・アンプの出力先を前記一対のデータラインのうちの一方と、それにさらに隣接するデータラインとの間で切り替え、かつ他方の第2の極性用のバッファ・アンプの出力先を前記一対のデータラインのうちのもう一方と、それにさらに隣接するデータラインとの間で切り替える $2j$ 個の出力極性切替えスイッチと、

を具備することを特徴とするLCDパネル駆動回路。

【請求項3】 前記第1の極性用のバッファ・アンプと前記第2の極性用のバッファ・アンプは交互に配置されていることを特徴とする請求項2に記載のLCDパネル駆動回路。

【請求項4】 前記データライン切替えスイッチと前記出力極性切替えスイッチは、同一の制御信号により切替え制御されることを特徴とする請求項2または3に記載のLCDパネル駆動回路。

【請求項5】 前記バッファ・アンプはオペアンプで構成されることを特徴とする請求項2〜4のいずれか一つ

に記載のLCDパネル駆動回路。

【請求項6】 LCDパネルがカラー用のパネルであり、同一色の画素に対応するデータライン群ごとに上記請求項2〜5のいずれか一つに記載の回路構造を備えていることを特徴とするLCDパネル駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LCD（液晶ディスプレイ）パネル駆動回路に関する。近時、一般家庭用TVやOA機器の表示装置として、LCDが急速に普及してきている。その理由として、LCDは、CRTと比較して薄型で軽量であり、CRTに劣らない表示品質を得ることができることが挙げられる。

【0002】

【従来の技術】図5は、従来のLCDパネル駆動回路の要部を示す概略図である。この駆動回路は、 N 個のセクタ $11a, 11b, 11c, 11d, \dots, 11m, 11n$ と、バッファ・アンプとして動作する N 個のオペアンプ $12a, 12b, 12c, 12d, \dots, 12m, 12n$ と、 N 個の出力極性切替えスイッチ $13a, 13b, 13c, 13d, \dots, 13m, 13n$ とを備える。ここで、 N は2の倍数である。

【0003】セクタ $11a, 11b, 11c, 11d, \dots, 11m, 11n$ のうち、たとえば、奇数番目に配置されたセクタは正（+）極性出力専用であり、偶数番目のセクタは負（-）極性出力専用である。正極性出力専用セクタ $11a, 11c, \dots, 11m$ には、たとえば、正極性出力用の6ビットデータと正極性の階調電圧が入力される。一方、負極性出力専用セクタ $11b, 11d, \dots, 11n$ には、たとえば、負極性出力用の6ビットデータと負極性の階調電圧が入力される。

【0004】オペアンプ $12a, 12b, 12c, 12d, \dots, 12m, 12n$ のうち半分は正極性出力専用のオペアンプであり、残りの半分は負極性出力専用のオペアンプである。各正極性出力専用オペアンプ $12a, 12c, \dots, 12m$ の非反転入力端子には、それぞれ、正極性出力専用セクタ $11a, 11c, \dots, 11m$ の出力電圧が印加される。

【0005】各負極性出力専用オペアンプ $12b, 12d, \dots, 12n$ の非反転入力端子には、それぞれ、負極性出力専用セクタ $11b, 11d, \dots, 11n$ の出力電圧が印加される。

【0006】出力極性切替えスイッチ $13a, 13b, 13c, 13d, \dots, 13m, 13n$ は、それぞれ、出力パッド $14a, 14b, 14c, 14d, \dots, 14m, 14n$ に接続されている。出力パッド $14a, 14b, 14c, 14d, \dots, 14m, 14n$ は、図示しないLCDパネルに電気的に接続されている。

50

【0007】ここで、出力極性切替えスイッチ13a、13b、13c、13d、・・・、13m、13nの切替え動作とともに、LCDパネル駆動回路の作用を説明するため、便宜上、kを1以上の整数とする。第2k-1番目のデータD2k-1が正極性の場合、このデータD2k-1は第2k-1番目のセレクトタに入力される。

【0008】その際、第2k-1番目の出力極性切替えスイッチは正極性側（図5に示す破線側）に電氣的に接続される。したがって、第2k-1番目のセレクトタから出力された正極性の駆動電圧は、第2k-1番目のオペアンプおよび第2k-1番目の出力極性切替えスイッチを介して、第2k-1番目の出力パッドに出力される。

【0009】この時、第2k番目のデータD2kは、負極性となり、第2k番目のセレクトタに入力される。その際、第2k番目の出力極性切替えスイッチは負極性側（図5に示す破線側）に電氣的に接続される。したがって、第2k番目のセレクトタから出力された負極性の駆動電圧は、第2k番目のオペアンプおよび第2k番目の出力極性切替えスイッチを介して、第2k番目の出力パッドに出力される。

【0010】すなわち、第2k-1番目のデータラインの駆動電圧は、正極性のデータD2k-1に基づく正極性の駆動電圧となり、第2k番目のデータラインの駆動電圧は、負極性のデータD2kに基づく負極性の駆動電圧となる。

【0011】データD2k-1とデータD2kは、第2k-1番目および第2k番目のセレクトタの前段で、一定の周期で極性が反転される。負極性となったデータD2k-1は第2k番目のセレクトタに入力される。正極性となったデータD2kは第2k-1番目のセレクトタに入力される。そして、第2k-1の出力極性切替えスイッチは負極性側（図5に示す実線側）に電氣的に接続される。また、第2k番目の出力極性切替えスイッチは正極性側（図5に示す実線側）に電氣的に接続される。

【0012】したがって、第2k番目のセレクトタから出力された負極性の駆動電圧は、第2k番目のオペアンプおよび第2k-1番目の出力極性切替えスイッチを介して、第2k-1番目の出力パッドに出力される。第2k-1番目のセレクトタから出力された正極性の駆動電圧は、第2k-1番目のオペアンプおよび第2k番目の出力極性切替えスイッチを介して、第2k番目の出力パッドに出力される。

【0013】すなわち、第2k-1番目のデータラインの駆動電圧は、負極性のデータD2k-1に基づく負極性の駆動電圧となり、第2k番目のデータラインの駆動電圧は、正極性のデータD2kに基づく正極性の駆動電圧となる。したがって、第2k-1番目のデータラインの駆動電圧は、正極性のデータD2k-1に基づく正極性の駆動電圧と、負極性のデータD2kに基づく負極性の駆動電圧とが所定の周期で交互に印加されることになる。

【0014】また、第2k番目のデータラインの駆動電圧は、負極性のデータD2kに基づく負極性の駆動電圧と、正極性のデータD2kに基づく正極性の駆動電圧とが所定の周期で交互に印加されることになる。

【0015】ここで、正極性のデータD2k-1に基づく正極性の駆動電圧と、負極性のデータD2k-1に基づく負極性の駆動電圧とは、極性が反対で、大きさは同じである。負極性のデータD2kに基づく負極性の駆動電圧と、正極性のデータD2kに基づく正極性の駆動電圧についても同じである。

【0016】このように、同一の画素に正極性の駆動電圧と負極性の駆動電圧が一定の周期で交互に印加されるように、交流駆動をおこなう理由は、同じ画素に同じ極性の電圧が印加され続けると液晶が劣化するという不都合を回避するためである。しかし、交流駆動をおこなうと、画面のちらつき（フリッカ）が発生する。これを抑えるため、LCDでは、隣り合うデータライン間に反対の極性の駆動電圧を印加し、隣接する画素間に反対の極性の電圧が印加されるようにしている。

20 【0017】

【発明が解決しようとする課題】上述した従来のLCDパネル駆動回路では、第2k-1番目のデータラインの駆動電圧は、第2k-1番目のオペアンプの出力電圧と第2k番目のオペアンプの出力電圧とからなる。また、第2k番目のデータラインの駆動電圧も、第2k-1番目のオペアンプの出力電圧と第2k番目のオペアンプの出力電圧とからなる。

【0018】したがって、第2k-1番目および第2k番目のオペアンプにオフセット電圧があっても、第2k-1番目のデータラインの駆動電圧と、第2k番目のデータラインの駆動電圧との間にはオフセット差が生じない。同様に、第2k+1番目および第2k+2番目のオペアンプにオフセット電圧があっても、第2k+1番目のデータラインの駆動電圧と、第2k+2番目のデータラインの駆動電圧との間にはオフセット差が生じない。

【0019】しかし、第2k-1番目のオペアンプと第2k+1番目のオペアンプのオフセット電圧が反対の極性であったり、第2k番目のオペアンプと第2k+2番目のオペアンプのオフセット電圧が反対の極性である場合には、同一の階調表示をおこなっても、第2k番目のデータラインの駆動電圧と、第2k+1番目のデータラインの駆動電圧との間には大きな電圧差が生じてしまう。したがって、同一の階調表示の際に、画面に輝度ムラや縦スジが出ることがあるという問題点がある。

【0020】オペアンプのオフセット電圧が生じる原因は、トランジスタの製造プロセスにおけるバラツキである。そこで、従来は、カレントミラー回路を構成するトランジスタの面積を大きくすることによって、製造プロセスのバラツキを小さくし、それによってオペアンプのオフセット電圧が小さくなるようにしている。しかし、

この技術には、LCDパネル駆動回路が大型化してしまうという欠点がある。

【0021】本発明は、上記問題点に鑑みてなされたものであって、回路規模を増大させることなく、輝度ムラや縦スジのない高品質の表示をおこなわせるLCDパネル駆動回路を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明にかかるLCDパネル駆動回路は、一列に配置された複数の出力端子（出力パッド）のうちの任意の隣接する2個の出力端子にそれぞれ供給される階調電圧が、常に、一列に配置された複数のバッファ・アンプのうちの任意の隣接する2個のバッファ・アンプからそれぞれ出力される。

【0023】また、本発明にかかるLCDパネル駆動回路は、j個の第1の極性用のセレクト、j個の第2の極性用のセレクト、j個のデータライン切替えスイッチ、j個の第1の極性用のバッファ・アンプ、j+1個の第2の極性用のバッファ・アンプおよび2j個の出力極性切替えスイッチを具備する。2j個の前記セレクトの出力電圧は、前記データライン切替えスイッチ、前記バッファ・アンプおよび前記出力極性切替えスイッチを介して2j本のデータラインに供給される。

【0024】第1の極性用のセレクトは、対応する第1の極性用のバッファ・アンプに接続されている。第1の極性用のバッファ・アンプは、対応する出力極性切替えスイッチを介して、隣接する第1のデータラインと第2のデータラインのいずれかに接続される。第2の極性用のセレクトは、対応するデータライン切替えスイッチを介して、対応する一対の第2の極性用のバッファ・アンプのいずれかに接続される。

【0025】一対の第2の極性用のバッファ・アンプのうち、一方のバッファ・アンプは、対応する出力極性切替えスイッチを介して、前記第1のデータラインとそれに隣接する第3のデータラインのいずれかに接続される。他方の第2の極性用のバッファ・アンプは、対応する出力極性切替えスイッチを介して、前記第2のデータラインとそれに隣接する第4のデータラインのいずれかに接続される。データライン切替えスイッチと出力極性切替えスイッチは、所定のタイミングで同時に切り替えられる。

【0026】上述した構成によれば、第1のデータラインには、第1の極性用のバッファ・アンプの出力電圧と、前記一対の第2の極性用のバッファ・アンプのうちの一方のバッファ・アンプの出力電圧が供給される。第2のデータラインには、第1の極性用のバッファ・アンプの出力電圧と、前記一対の第2の極性用のバッファ・アンプのうちの他方のバッファ・アンプの出力電圧が供給される。

【0027】また、第3のデータラインには、前記一対の第2の極性用のバッファ・アンプのうちの一方のバ

10

ッファ・アンプ出力電圧と、第1または第2のデータラインに接続される第1の極性用のバッファ・アンプとは別の第1の極性用のバッファ・アンプの出力電圧が供給される。同様に、第4のデータラインには、前記一対の第2の極性用のバッファ・アンプのうちの他方のバッファ・アンプ出力電圧と、第1、第2または第3のデータラインに接続される第1の極性用のバッファ・アンプとは別の第1の極性用のバッファ・アンプの出力電圧が供給される。

20

【0028】すなわち、任意の隣接するデータライン間には、必ず共通のバッファ・アンプが接続される。そのため、任意の隣接するデータライン間において、同一の階調表示をおこなうための駆動電圧に大きな隔たりが生じるのを防ぐことができるので、同一の階調表示の際に、画面に輝度ムラや縦スジが出るのを防ぐことができる。

【0029】また、上述した構成によれば、バッファ・アンプがオペアンプの場合に、カレントミラー回路を構成するトランジスタの面積を大きくしてオペアンプのオフセット電圧を小さくする必要がないため、LCDパネル駆動回路の回路規模を小さくすることができる。それによって、LCDパネルを用いた表示装置の小型化を図ることができる。

【0030】

【発明の実施の形態】以下に、本発明の実施の形態について図1～図4を参照しつつ詳細に説明する。図1は、本発明を適用したLCDパネル駆動回路の全体構成を示すブロック図である。

30

【0031】図1において、LCDパネル駆動回路は、クロックコントロール200、シフトレジスタ201、データレジスタ202、ラッチ203、レベルシフタ204、207、セレクト210、バッファ・アンプ220、データ・コントロール205、極性コントロール206、ラダー抵抗208およびバイアス回路209を備えている。

40

【0032】クロックコントロール200は、外部からイネーブル信号EI01～EI0384を受け取り、データを受ける準備をする。また、クロックコントロール200は、データを受け終わると次のICヘイネーブル信号を出力してパワーダウンモードに入る。クロックコントロール200には、外部からクロックCLK、左右シフト信号RLおよびデータ転送信号LPが入力されるとともに、図示しないデジタル電源から電源電圧VDDおよび接地電圧DGNが供給される。電源電圧VDDおよび接地電圧DGNは、シフトレジスタ201、データレジスタ202およびラッチ203にも供給される。

【0033】シフトレジスタ201には、左右シフト信号RLおよびデータ転送信号LPが入力される。データ・コントロール205には、データ転送信号LP、デー

タD00〜D05, D10〜D15, D20〜D25, D30〜D35, D40〜D45, D50〜D55およびデータ反転信号INV1, INV2が入力される。データレジスタ202には、データ・コントロール205から出力されたデータが入力される。データレジスタ202は、入力された6出力×6ビットのデータを順番に取り込む。

【0034】極性コントロール206には、外部から極性反転信号POLが入力される。極性コントロール206は、入力された極性反転信号POLに基づいて、各出力の極性を切り替える信号を発生する。ラッチ203は、出力中の階調データを保持する。レベルシフト204、セレクト210およびバッファ・アンプ220には、図示しないアナログ電源から電源電圧VDDAおよび接地電圧AGNDが供給される。

【0035】ラダー抵抗208には、外部から階調電圧（外部階調電圧）HV0〜HV8, LV0〜LV8が入力される。セレクト210は、ラダー抵抗208において外部階調電圧を抵抗分割して発生した64階調の電圧に対して選択をおこなう。バッファ・アンプ220は、セレクト210において選択された電圧をバッファリングし、出力する。

【0036】図2は、実施の形態にかかるLCDパネル駆動回路のセレクト210およびバッファ・アンプ220よりなる回路ブロックの詳細を示す概略図である。

【0037】図2において、セレクト210およびバッファ・アンプ220よりなる回路ブロックは、2j個のセレクト21a, 21b, 21c, 21d, ..., 21m, 21nと、j個のデータライン切替えスイッチ25a, 25b, ..., 25gと、2j+1個のバッファ・アンプ22a, 22b, 22c, 22d, 22e, ..., 22n, 22n+1と、2j個の出力極性切替えスイッチ23a, 23b, 23c, 23d, ..., 23m, 23nとを備える。ここで、jは自然数であり、たとえばj=192である。

【0038】セレクト21a, 21b, 21c, 21d, ..., 21m, 21nは、たとえばD/Aコンバータで構成されている。セレクト21a, 21b, 21c, 21d, ..., 21m, 21nのうち、たとえば、奇数番目に配置されたセレクトは負極性出力専用であり、偶数番目のセレクトは正極性出力専用である。負極性出力専用セレクト21a, 21c, ..., 21mには、たとえば、負極性出力用の6ビットデータと負極性の階調電圧が入力される。一方、正極性出力専用セレクト21b, 21d, ..., 21nには、たとえば、正極性出力用の6ビットデータと正極性の階調電圧が入力される。

【0039】バッファ・アンプ22a, 22b, 22c, 22d, ..., 22m, 22nは、たとえばオペアンプで構成されている。バッファ・アンプ22a, 22b, 22c, 22d, ..., 22m, 22nのう

ち、たとえば、奇数番目に配置されたj+1個のバッファ・アンプは負極性出力専用であり、偶数番目のj個のバッファ・アンプは正極性出力専用である。各正極性出力専用バッファ・アンプ22b, 22d, ..., 22nの非反転入力端子には、それぞれ、正極性出力専用セレクト21b, 21d, ..., 21nの出力電圧が印加される。

【0040】データライン切替えスイッチ25a, 25b, ..., 25gは、それぞれ、負極性出力専用セレクト21a, 21c, ..., 21mの出力端子に接続されている。ここで、kを自然数とすると、データライン切替えスイッチは、第2k-1番目のセレクト（負極性出力専用）の出力先を、所定のタイミングで、第2k-1番目のバッファ・アンプ（負極性出力専用）の非反転入力端子または第2k+1番目のバッファ・アンプ（負極性出力専用）の非反転入力端子に択一的に切り替える。その切替え動作は、外部から入力される制御信号によりおこなわれる。

【0041】出力極性切替えスイッチ23a, 23b, 23c, 23d, ..., 23m, 23nは、それぞれ、出力パッド24a, 24b, 24c, 24d, ..., 24m, 24nに接続されている。出力パッド24a, 24b, 24c, 24d, ..., 24m, 24nは、図示しないLCDパネルに電気的に接続されている。

【0042】第2k-1番目の出力パッドには、出力極性切替えスイッチにより、所定のタイミングで、第2k-1番目のバッファ・アンプ（負極性出力専用）の出力電圧または第2k番目のバッファ・アンプ（正極性出力専用）の出力電圧が択一的に切り替えられて供給される。第2k番目の出力パッドには、出力極性切替えスイッチにより、所定のタイミングで、第2k番目のバッファ・アンプ（正極性出力専用）の出力電圧または第2k+1番目のバッファ・アンプ（負極性出力専用）の出力電圧が択一的に切り替えられて供給される。第2k-1番目の出力パッドおよび第2k番目の出力パッドは、それぞれ第2k-1番目のデータラインおよびそれに隣接する第2k番目のデータラインに接続されている。

【0043】出力極性切替えスイッチ23a, 23b, 23c, 23d, ..., 23m, 23nの切替え動作は、外部から入力される制御信号によりおこなわれる。出力極性切替えスイッチ23a, 23b, 23c, 23d, ..., 23m, 23nの切替えのタイミングは、データライン切替えスイッチ25a, 25b, ..., 25gの切替えのタイミングと同期している。これらのスイッチは、たとえばMOSFETなどで構成される。

【0044】データライン切替えスイッチ25a, 25b, ..., 25gが、第2k-1番目のセレクトの出力先を第2k-1番目のバッファ・アンプにしている時には、出力極性切替えスイッチ23a, 23b, 23

c, 23d, ..., 23m, 23nは、第2k-1番目および第2k番目の各出力パッドにそれぞれ第2k-1番目および第2k番目のバッファ・アンプの出力電圧を供給するように切り替わる。

【0045】また、データライン切替えスイッチ25a, 25b, ..., 25gが、第2k-1番目のセクタの出力先を第2k+1番目のバッファ・アンプにしている時には、出力極性切替えスイッチ23a, 23b, 23c, 23d, ..., 23m, 23nは、第2k-1番目および第2k番目の各出力パッドにそれぞれ第2k番目および第2k+1番目のバッファ・アンプの出力電圧を供給するように切り替わる。

【0046】次に、実施の形態の作用について説明する。図3は、データライン切替えスイッチ25a, 25b, ..., 25gにより、第2k-1番目のセクタの出力先が第2k-1番目のバッファ・アンプになっている状態を示す図である。

【0047】具体的に説明すると、第1番目のデータD1、第3番目のデータD3および第m番目のデータDmは、負極性のデータであり、それぞれ、第1番目のセクタ21a、第3番目のセクタ21cおよび第m番目のセクタ21mに入力される。

【0048】一方、第2番目のデータD2、第4番目のデータD4および第n番目のデータDnは、正極性のデータであり、それぞれ、第2番目のセクタ21b、第4番目のセクタ21dおよび第n番目のセクタ21nに入力される。

【0049】第1番目のセクタ21a、第2番目のセクタ21b、第3番目のセクタ21c、第4番目のセクタ21d、第m番目のセクタ21mおよび第n番目のセクタ21nは、それぞれ、入力データに基づいて選択した階調電圧を、第1番目のバッファ・アンプ22a、第2番目のバッファ・アンプ22b、第3番目のバッファ・アンプ22c、第4番目のバッファ・アンプ22d、第m番目のバッファ・アンプ22mおよび第n番目のバッファ・アンプ22nに送る。

【0050】第1番目のバッファ・アンプ22a、第3番目のバッファ・アンプ22cおよび第m番目のバッファ・アンプ22mは、それぞれ、第1番目の出力パッド24a、第3番目の出力パッド24cおよび第m番目の出力パッド24mに負極性の駆動電圧V1, V3, Vmを供給する。また、第2番目のバッファ・アンプ22b、第4番目のバッファ・アンプ22dおよび第n番目のバッファ・アンプ22nは、それぞれ、第2番目の出力パッド24b、第4番目の出力パッド24dおよび第n番目の出力パッド24nに正極性の駆動電圧V2, V4, Vnを供給する。

【0051】図4は、データライン切替えスイッチ25a, 25b, ..., 25gにより、第2k-1番目のセクタの出力先が第2k+1番目のバッファ・アンプ

になっている状態を示す図である。各データD1, D2, D3, D4, Dm, Dnは、セクタの前段で一定の周期で極性が反転され、データの伝送経路が変更される。

【0052】第1番目のデータD1、第3番目のデータD3および第m番目のデータDmは、正極性のデータとなり、それぞれ、第2番目のセクタ21b、第4番目のセクタ21dおよび第n番目のセクタ21nに入力される。一方、第2番目のデータD2、第4番目のデータD4および第n番目のデータDnは、負極性のデータとなり、それぞれ、第1番目のセクタ21a、第3番目のセクタ21cおよび第m番目のセクタ21mに入力される。

【0053】第1番目のセクタ21a、第2番目のセクタ21b、第3番目のセクタ21c、第4番目のセクタ21d、第m番目のセクタ21mおよび第n番目のセクタ21nは、それぞれ、入力データに基づいて選択した階調電圧を、第3番目のバッファ・アンプ22c、第2番目のバッファ・アンプ22b、第5番目のバッファ・アンプ22e、第4番目のバッファ・アンプ22d、第n+1番目のバッファ・アンプ22n+1および第n番目のバッファ・アンプ22nに送る。

【0054】第2番目のバッファ・アンプ22b、第4番目のバッファ・アンプ22dおよび第n番目のバッファ・アンプ22nは、それぞれ、第1番目の出力パッド24a、第3番目の出力パッド24cおよび第m番目の出力パッド24mに正極性の駆動電圧V1, V3, Vmを供給する。

【0055】また、第3番目のバッファ・アンプ22c、第5番目のバッファ・アンプ22eおよび第n+1番目のバッファ・アンプ22n+1は、それぞれ、第2番目の出力パッド24b、第4番目の出力パッド24dおよび第n番目の出力パッド24nに負極性の駆動電圧V2, V4, Vnを供給する。

【0056】上記実施の形態によれば、第1番目の出力パッド24aには、第1番目のバッファ・アンプ22aの出力電圧と第2番目のバッファ・アンプ22bの出力電圧が供給される。第2番目の出力パッド24bには、第2番目のバッファ・アンプ22bの出力電圧と第3番目のバッファ・アンプ22cの出力電圧が供給される。

【0057】第3番目の出力パッド24cには、第3番目のバッファ・アンプ22cの出力電圧と第4番目のバッファ・アンプ22dの出力電圧が供給される。このように、任意の隣接する出力パッド間には、必ず共通のバッファ・アンプが接続される。

【0058】さらには、任意の隣接する2個の出力パッドにそれぞれ供給される出力電圧（階調電圧）は、常に、複数のバッファ・アンプのうちの任意の隣接する2個のバッファ・アンプからそれぞれ供給される。

【0059】そのため、任意の隣接するデータライン間

において、同一の階調表示をおこなうための駆動電圧に大きな隔たりが生じるのを防ぐことができるので、同一の階調表示の際に、画面に輝度ムラや縦スジが出るのを防ぐことができる。

【００６０】また、上記実施の形態によれば、カレントミラー回路を構成するトランジスタの面積を大きくしてバッファ・アンプを構成するオペアンプのオフセット電圧を小さくする必要がないため、ＬＣＤパネル駆動回路の回路規模を小さくすることができる。それによって、ＬＣＤパネルを用いた表示装置の小型化を図ることができる。

【００６１】以上において本発明は、種々設計変更可能である。たとえば、バッファ・アンプは、オペアンプ以外の構成のものであってもよい。また、セレクトアやバッファ・アンプの極性の配列は、逆のパターンであってもよい。

【 0 0 6 2 】

【発明の効果】本発明によれば、同一の階調表示の際の駆動電圧が隣接する画素間で均質化されるので、画面に輝度ムラや縦スジが出るのを防ぐことができる。また、バッファ・アンプがオペアンプの場合に、カレントミラー回路を構成するトランジスタの面積を大きくしてオペアンプのオフセット電圧を小さくする必要がないため、＊

* LCDパネル駆動回路の回路規模を小さくすることができる。

【図面の簡単な説明】

【図１】本発明を適用したＬＣＤパネル駆動回路の全体構成を示すブロック図である。

【図２】本発明にかかるＬＣＤパネル駆動回路のセレクトおよびバッファ・アンプよりなる回路ブロックの詳細を示す概略図である。

【図3】図2に示すLCDパネル駆動回路の作用を説明するための模式図である。

【図４】図２に示すＬＣＤパネル駆動回路の作用を説明するための別の模式図である。

【図５】従来のＬＣＤパネル駆動回路の要部を示す概略図である。

【符号の説明】

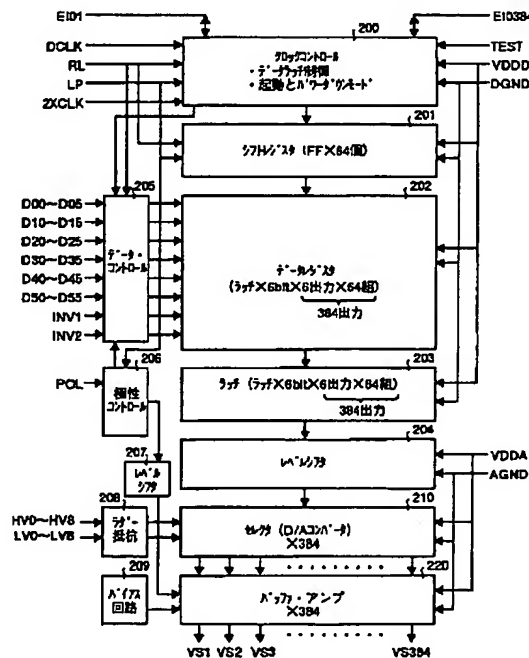
21a, 21b, 21c, 21d, 21m, 21n セ
レクタ

22 a, 22 b, 22 c, 22 d, 22 e, 22 n, 2
2n+1 バッファ・アンプ

23 a, 23 b, 23 c, 23 d, 23 m, 23 n 出力極性切替えスイッチ

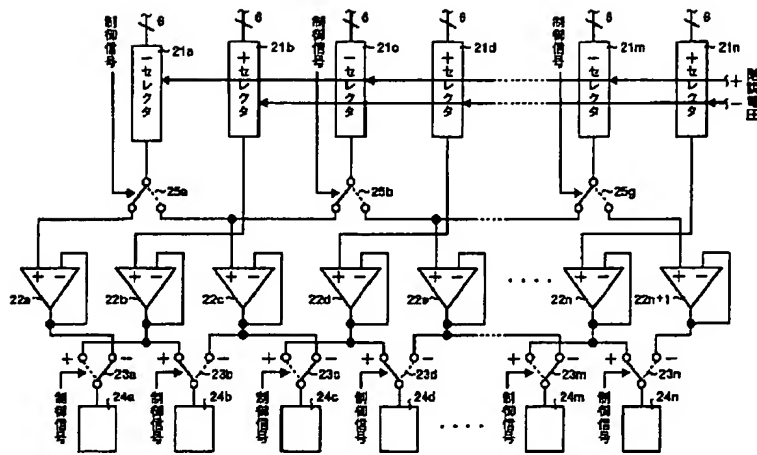
25 a, 25 b, 25 g データライン切替えスイッチ

【圖 1】



本発明を適用したLCDの駆動回路の全体構成を示すブロック図

【図2】



本発明にかかるLCDパネル駆動回路のセレクトおよびバッファ・アンプよりなる回路ブロックの接続を示す概略図

【図3】

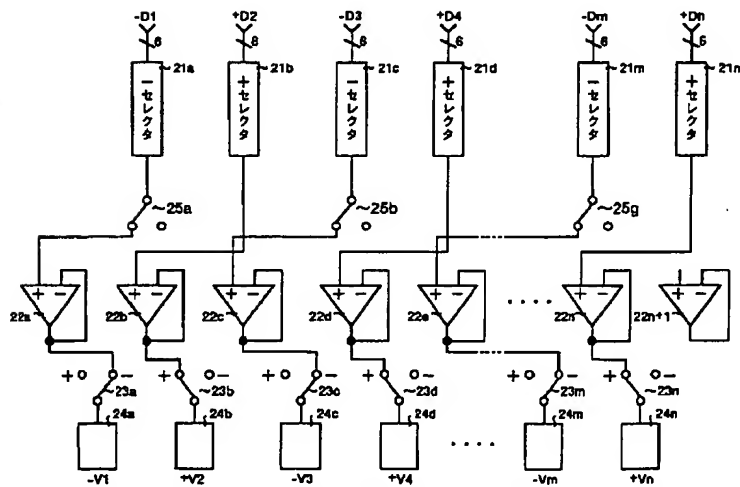


図2に示すLCDパネル駆動回路の作用を説明するための概略図

【図4】

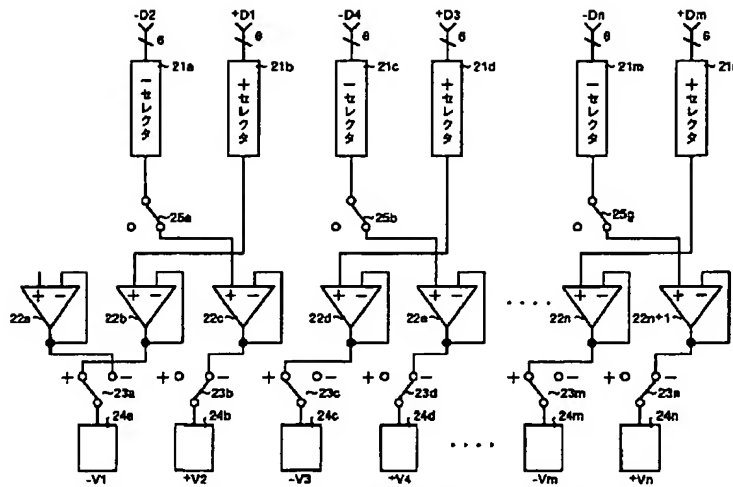
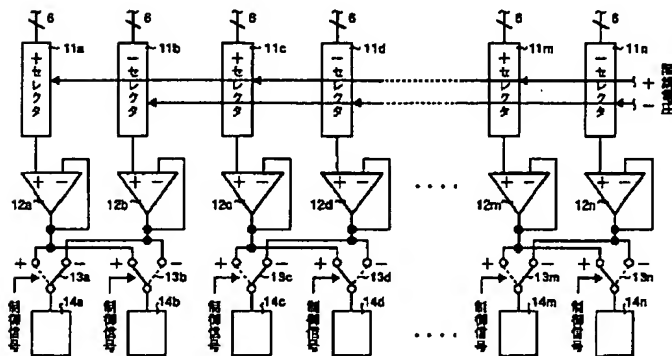


図2に示すLCDパネル駆動回路の作用を説明するための別の模式図

【図5】



従来のLCDパネル駆動回路の要部を示す概略図

フロントページの続き

Fターム(参考) 5C006 AA16 AC21 AF43 AF83 BB12
 BC12 BF03 BF04 BF25 FA22
 FA23
 5C080 AA10 BB05 DD05 EE29 FF12
 GG12 JJ02